

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

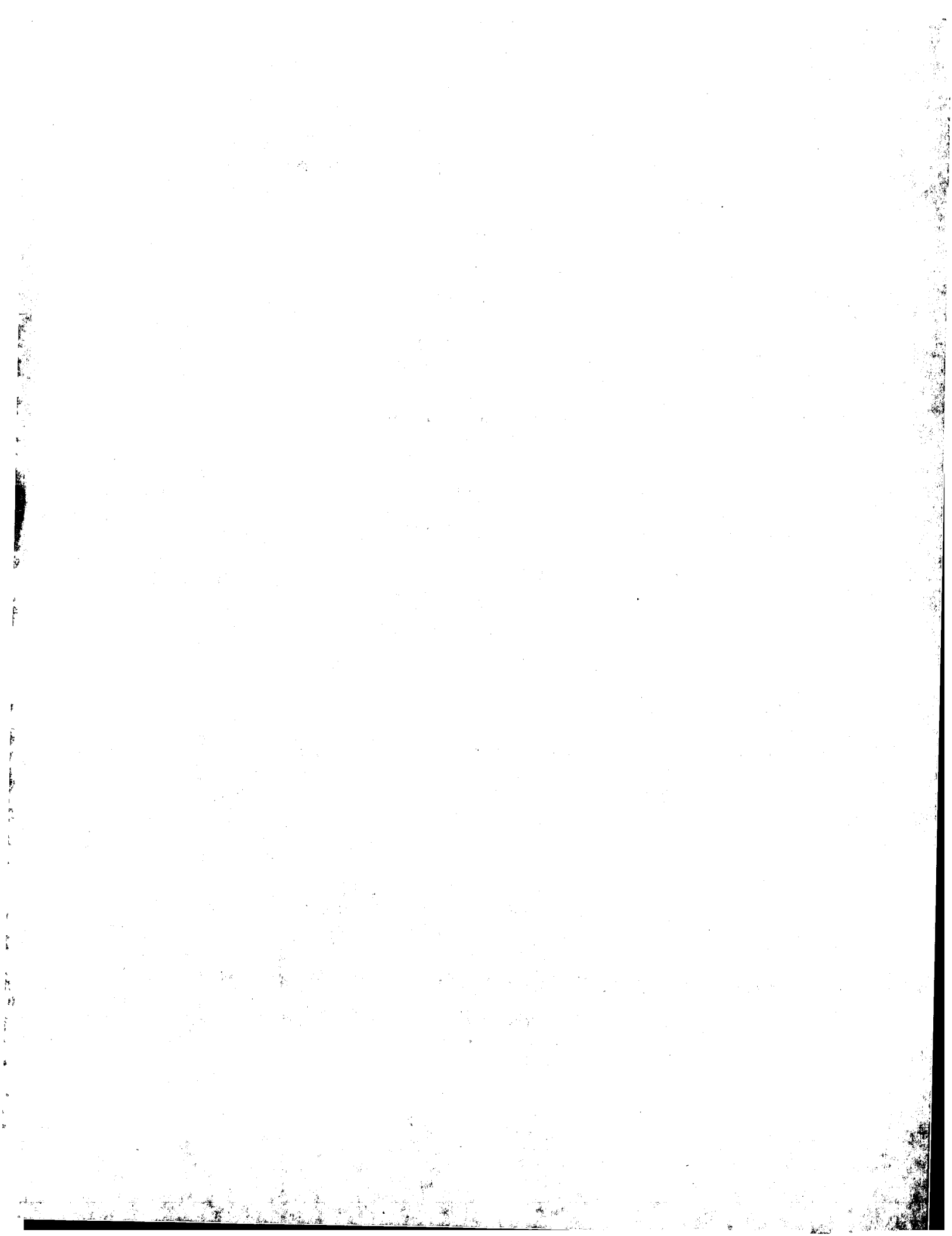
Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**



I hereby certify that this correspondence is being deposited with the U.S. Postal Service with sufficient postage as First Class Mail, in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450, on the date shown below.

Dated: February 27, 2004

Signature:

(M. BARBARASH)

Docket No.: 61179-00003USPX  
(PATENT)

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Patent Application of:  
Alessandro Grossi et al.

Application No.: 10/672293

Confirmation No.: 9396

Filed: September 26, 2003

Art Unit: 2811

For: 02-AG-193/RR PROCESS FOR  
MANUFACTURING INTEGRATED  
RESISTIVE ELEMENTS WITH  
SILICIDATION PROTECTION

Examiner: Not Yet Assigned

**CLAIM FOR PRIORITY AND SUBMISSION OF DOCUMENTS**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Dear Sir:

Applicant hereby claims priority under 35 U.S.C. 119 based on the following prior foreign application filed in the following foreign country on the date indicated:

<u>Country</u>	<u>Application No.</u>	<u>Date</u>
European Community	02425586.1	September 30, 2002

In support of this claim, a certified copy of the said original foreign application is filed herewith.

Dated: February 27, 2004

Respectfully submitted,

By

Andre M. Szuwalski

Registration No.: 35,701

JENKENS & GILCHRIST, A PROFESSIONAL  
CORPORATION

1445 Ross Avenue, Suite 3200

Dallas, Texas 75202

(214) 855-4500

(214) 855-4300 (Fax)

UNIT 2 TRADEMARK OFFICE  
JAN 3 1964



**Europäisches  
Patentamt**

**European  
Patent Office**

**Office européen  
des brevets**

**Bescheinigung**

**Certificate**

**Attestation**

Die angehefteten Unterla-  
gen stimmen mit der  
ursprünglich eingereichten  
Fassung der auf dem näch-  
sten Blatt bezeichneten  
europäischen Patentanmel-  
dung überein.

The attached documents  
are exact copies of the  
European patent application  
described on the following  
page, as originally filed.

Les documents fixés à  
cette attestation sont  
conformes à la version  
initialement déposée de  
la demande de brevet  
européen spécifiée à la  
page suivante.

**Patentanmeldung Nr. Patent application No. Demande de brevet n°**

**02425586.1**

Der Präsident des Europäischen Patentamts:  
Im Auftrag

For the President of the European Patent Office

Le Président de l'Office européen des brevets  
p.o.

**R C van Dijk**

1944

1945

1946

1947

1948

1949

1950

1951

1952

1953

1954

1955

1956

1957

1958

1959

1960

1961

1962

1963

1964

PROCEDIMENTO PER LA FABBRICAZIONE DI ELEMENTI RESISTIVI  
INTEGRATI CON PROTEZIONE DALLA SILICIURIZZAZIONE

La presente invenzione si riferisce ad un  
5 procedimento per la fabbricazione di elementi resistivi  
integrati con protezione dalla siliciurizzazione  
autoallineata.

Come è noto, numerosi procedimenti per la  
fabbricazione di dispositivi elettronici integrati  
10 comprendono fasi cosiddette di siliciurizzazione  
autoallineata o saliciurizzazione, che hanno  
principalmente lo scopo di aumentare la conduttività di  
alcune strutture, quali linee di connessione in  
polisilicio o aree attive in cui sono realizzate  
15 giunzioni. In sintesi, la siliciurizzazione viene di  
solito effettuata dopo le consuete fasi di  
impiantazione ionica e diffusione, normalmente  
utilizzate per fabbricare circuiti integrati a  
semiconduttore. Facendo riferimento per maggiore  
20 chiarezza alle figure 1-3, una fetta semiconduttrice 1,  
ad esempio di silicio monocristallino, comprende aree  
attive 2 conduttive, isolate mediante strutture di  
isolamento 3 a trincea o STI (dall'inglese "Shallow  
Trench Isolation"), ovvero, in alternativa, mediante  
25 strutture di isolamento realizzate con tecniche di

ossidazione locale o LOCOS; in pratica, le strutture di  
isolamento 3 comprendono trincee di profondità  
prefissata, riempite con ossido di silicio. Nelle aree  
attive 2 sono stati preventivamente realizzati elementi  
5 (qui non mostrati in dettaglio) la cui conduttività  
deve essere ottimizzata. Inizialmente, uno strato  
conduttivo 5 di un metallo quale titanio o cobalto  
viene depositato sopra la fetta 1, in modo da ricoprire  
completamente sia le aree attive 2, sia le strutture di  
10 isolamento 3. La fetta 1 viene poi riscaldata. In  
questa fase, il metallo reagisce con il silicio  
sottostante, formando regioni 6 di siliciuro di titanio  
o cobalto, mentre non si lega con l'ossido di silicio  
delle strutture di isolamento 3. Il metallo dello  
15 strato conduttivo 5' viene quindi selettivamente  
attaccato e rimosso, mentre le regioni 6 di siliciuro  
metallico restano intatte. In pratica, quindi, le  
porzioni conduttive di silicio monocristallino o  
policristallino esposte rimangono coperte dalle regioni  
20 6. La siliciurizzazione è chiaramente vantaggiosa,  
perché i siliciuri così realizzati hanno tipicamente  
resistività inferiori di un ordine di grandezza  
rispetto al silicio e al polisilicio anche pesantemente  
drogati. Il procedimento è inoltre autoallineato, in  
25 quanto la formazione delle regioni 6 è determinata



~~dalla conformazione superficiale della fetta 1 e quindi~~  
per la definizione di strutture siliciurizzate non è  
richiesto l'impiego di maschere.

Ci sono tuttavia componenti elettrici che non sono  
5 compatibili con la siliciurizzazione e che quindi  
richiedono specifici accorgimenti per essere integrati  
nelle aree attive. In particolare, resistori ad alta  
resistenza specifica sono normalmente realizzati in  
silicio opportunamente drogato e devono quindi  
10 assolutamente essere protetti durante la  
siliciurizzazione; in caso contrario, infatti,  
verrebbero sostanzialmente cortocircuitati e  
perderebbero la loro funzione.

I procedimenti noti per la fabbricazione di  
15 resistori in aree attive, in cui viene effettuata una  
fase di siliciurizzazione, prevedono di utilizzare  
strutture protettive che ricoprono i resistori stessi,  
evitando il contatto tra il metallo deposto e aree di  
silicio scoperte. L'aggiunta di una struttura di  
20 protezione dalla siliciurizzazione, tipicamente  
realizzata mediante la deposizione di dielettrici quali  
ossido di silicio, ossinitruro di silicio o nitrato di  
silicio, è però svantaggiosa, perché accresce sia la  
complessità, sia il costo complessivo del procedimento.  
25 Infatti la realizzazione della struttura di protezione

comporta fasi di deposizione, di definizione con un processo di fotolitografia, per formare una maschera, di attacco e, dopo la siliciurizzazione, di eventuale rimozione del dielettrico dalla fetta semiconduttrice.

5 In pratica, tutte queste fasi sono esclusivamente dedicate alla protezione dalla siliciurizzazione e non possono essere condivise per la fabbricazione di altri componenti integrati.

Scopo della presente invenzione è realizzare un

10 procedimento per la fabbricazione di resistori integrati, che sia privo degli inconvenienti descritti.

Secondo la presente invenzione viene realizzato un procedimento per la fabbricazione di elementi resistivi integrati con protezione dalla siliciurizzazione ed una

15 fetta semiconduttrice, come definiti nelle rivendicazioni 1 e, rispettivamente, 11.

Per una migliore comprensione dell'invenzione, ne vengono ora descritte forme di realizzazione, a puro titolo di esempio non limitativo e con riferimento ai

20 disegni allegati, nei quali:

- le figure 1-3 sono sezioni trasversali attraverso una fetta semiconduttrice in successive fasi di fabbricazione, secondo un procedimento noto;

- le figure 4-8 sono sezioni trasversali

25 attraverso una fetta semiconduttrice in successive fasi

di fabbricazione di un procedimento secondo la presente invenzione;

- la figura 9a è una vista in pianta dall'alto della fetta di figura 8;

5       - la figura 9b è una vista in pianta dall'alto della fetta di figura 8, secondo una variante del presente procedimento;

10       - le figure 10-15 sono sezioni trasversali attraverso la fetta di figura 9a, in successive fasi di fabbricazione;

- la figura 16 è una vista in pianta dall'alto della fetta di figura 15; e

15       - la figura 17 è una sezione trasversale della fetta di figura 16, presa secondo la linea XVII-XVII di figura 16.

Con riferimento alle figure 4-17, una fetta semiconduttrice 10, preferibilmente di silicio, ha un substrato 11, ad esempio di tipo P. Inizialmente, sulla fetta 10 viene formata una maschera 12 di nitruro di silicio, presentante aperture 13. Utilizzando la maschera 12, il substrato 11 della fetta 10 viene attaccato e vengono aperte trincee 14, delimitanti un'area attiva 15 (figura 5).

25       Dopo una fase di ossidazione termica, con cui viene ottimizzato il profilo delle trincee 14, le

trincee 14 stesse vengono riempite di materiale dielettrico, qui ossido di silicio; la fetta 10 viene quindi planarizzata con un trattamento CMP (dall'inglese "Chemical-Mechanical Polishing"); in  
5 particolare, il trattamento CMP viene interrotto quando è stata raggiunta la maschera 12. A questo punto, in pratica, l'area attiva 15 è delimitata da una struttura di isolamento 17 a trincea, come mostrato in figura 6. La maschera 12 di nitruro di silicio viene poi rimossa  
10 (figura 7).

Con riferimento alle figure 8 e 9a, sopra l'area attiva 15 viene cresciuto un sottile strato di ossido 18, dello spessore di alcuni nanometri, e, successivamente, viene formata una coppia di  
15 delimitatori 20 di polisilicio, fra loro simmetrici. In particolare, uno strato di polisilicio 20', indicato in figura 8 con linea a tratteggio, viene formato sulla fetta 10 e successivamente definito, in modo da realizzare i delimitatori 20. Preferibilmente, lo  
20 strato di polisilicio 20' ricopre l'intera fetta 1 e viene utilizzato anche per la fabbricazione di altri componenti integrati, qui non mostrati, quali, ad esempio, transistori MOS o celle di memoria, sia di tipo volatile, sia di tipo non volatile. I delimitatori 20  
25 hanno un'altezza H, si estendono fra loro paralleli per

rispettivi tratti 20a reciprocamente affacciati, a una  
distanza L prefissata l'uno dall'altro e quindi si  
allontanano alle rispettive estremità 20b seguendo una  
linea poligonale spezzata. Preferibilmente, la distanza  
5 L è circa doppia rispetto all'altezza H dei  
delimitatori 20. In alternativa (figura 9b),  
delimitatori 50 hanno estremità 50b formanti angoli  
prefissati con rispettivi tratti centrali 50a. Lo  
strato di ossido 18 viene poi rimosso al di fuori dei  
10 delimitatori 20.

Viene quindi effettuata una impiantazione ionica  
di una specie drogante di tipo opposto rispetto al  
substrato. Nel caso di substrato P, qui illustrato,  
viene utilizzato un drogante di tipo N, come ad esempio  
15 il fosforo. Il processo di impianto viene seguito da un  
processo termico di attivazione e diffusione. In  
pratica, i delimitatori 20 vengono utilizzati come  
maschera per l'impiantazione ionica. In questo modo,  
all'interno dell'area attiva 15 si formano sacche  
20 conduttive di tipo N. Più in dettaglio, in una porzione  
dell'area attiva 15 compresa fra i delimitatori 20  
viene realizzato un resistore 21, mentre lateralmente  
si formano sacche periferiche 22. Il resistore 21 ha  
larghezza pari alla distanza L fra i delimitatori 20 ed  
25 è lungo sostanzialmente quanto i tratti 20a affacciati.

dei delimitatori 20 stessi. Inoltre, la resistività del resistore 21 è determinata dalla densità dei droganti impiantati, dopo il processo di diffusione (ad esempio compresa fra  $10^{16}$  e  $10^{18}$  atomi/cm<sup>3</sup>).

5           Successivamente la fetta 10 viene interamente ricoperta con uno strato di ossido deposto 24 (figura 11); in alternativa, può essere deposto un diverso materiale dielettrico, quale, ad esempio, nitruro di silicio o ossinitruro di silicio. Lo strato di ossido  
10 deposto 24 ha buone caratteristiche di conformità e preferibilmente uno spessore  $S$  non inferiore alla metà della distanza  $L$  che separa l'uno dall'altro i delimitatori 20. In effetti, lo spessore dello strato di ossido deposto 24 non è perfettamente uniforme, ma è  
15 maggiore in prossimità di dislivelli, come ad esempio attorno ai delimitatori 20, e minore dove la superficie della fetta 10 è piatta (in particolare, sopra ai delimitatori 20).

          Come mostrato in figura 12, lo strato di ossido  
20 deposto 24 viene quindi attaccato in modo fortemente anisotropo per un intervallo di tempo controllato (attacco verticale). Più in dettaglio, l'attacco viene condotto in modo da asportare uniformemente uno spessore di ossido di silicio sostanzialmente pari allo  
25 spessore  $S$  deposto in precedenza. In questo modo, lo

strato di ossido deposto 24 viene completamente asportato dalle porzioni spianate della fetta 10; in particolare, superfici 20c dei delimitatori 20 vengono liberate. In prossimità dei dislivelli, invece, 5 l'ossido di silicio non viene completamente rimosso: sui lati dei delimitatori 20, sia all'interno, sia all'esterno, rimangono porzioni residue dello strato di ossido deposto 24 che formano elementi di protezione o "spacers" 25. Inoltre, lo spessore S iniziale dello 10 strato di ossido di silicio deposto 24 e il rapporto fra l'altezza H dei delimitatori 20 e la loro distanza L reciproca sono tali per cui gli spacers 25 interni ai delimitatori 20 stessi si congiungono e ricoprono completamente il resistore 21.

15 Vengono quindi effettuate impiantazioni ioniche necessarie per la realizzazione di componenti attivi di dispositivi (non mostrati) integrati nella fetta 10; in questa fase, il resistore 21 è protetto dagli spacers 25 interni ai delimitatori e quindi non viene 20 modificato.

Viene poi eseguita una fase di siliciurizzazione autoallineata, per ottimizzare la conduttività di parti dei componenti integrati sulla fetta 10 (figure 13 e 14). In particolare, sulla fetta 10 viene deposto uno 25 strato metallico 26, ad esempio di titanio, ricoprente

i delimitatori 20, gli spacers 25 e le strutture isolanti 17. Al di sopra dell'area attiva 15, lo strato metallico 26 è a contatto con il polisilicio dei delimitatori 20 e con l'ossido di silicio degli spacers 25; il resistore 21 e le sacche periferiche 22 sono invece separate dallo strato metallico 26 mediante gli spacers 25.

La fetta 10 viene poi sottoposta a un trattamento termico. In questa fase, le porzioni dello strato metallico 26 ricoprenti i delimitatori 20 reagiscono con il polisilicio sottostante e formano regioni conduttive 27 di siliciuro, autoallineate rispetto ai delimitatori 20; altrove, lo strato metallico 26 è deposto sopra porzioni di ossido di silicio e rimane sostanzialmente inalterato. Inoltre, gli spacers 25 proteggono il resistore 21 dal contatto con lo strato metallico 26: si evita così, in particolare, la siliciurizzazione del resistore 21, che non viene danneggiato.

Mediante un attacco selettivo, la porzione dello strato metallico 26 rimasta dopo il trattamento termico viene rimossa, mentre le regioni conduttive 27 non vengono intaccate. Al termine dell'attacco, dunque, gli spacers 25 e le strutture isolanti 17 vengono nuovamente portati allo scoperto.



Infine, il processo di fabbricazione del resistore

21 viene portato a termine con la realizzazione di contatti 28. In particolare, attraverso gli spacers 25 interni vengono dapprima praticate aperture 30, in  
5 prossimità di opposte estremità del resistore 21. Quindi, vengono deposte e sagomate piste metalliche in modo da permettere la contattatura del resistore, tramite i contatti 28.

Il procedimento secondo l'invenzione è  
10 vantaggioso, in quanto permette in modo semplice di integrare resistori all'interno delle aree attive, anche quando sono previste fasi di siliciurizzazione, senza dover prevedere fasi di lavorazione aggiuntive. In particolare, viene superata la necessità di  
15 realizzare una maschera dedicata esclusivamente alla protezione dei resistori durante il processo di siliciurizzazione. Infatti, le fasi di lavorazione necessarie per realizzare sia i delimitatori 20, sia gli spacers 25 sono comunque necessarie per la  
20 realizzazione di numerosissimi dispositivi in cui i resistori possono essere integrati. Ad esempio, il procedimento può essere impiegato in modo particolarmente vantaggioso nella fabbricazione di dispositivi di memoria, sia di tipo volatile, sia di  
25 tipo non volatile. In entrambi i casi, infatti, sono

previste la deposizione e la definizione di uno o più strati di polisilicio e la formazione degli spacer. Addirittura, le celle di memoria non volatile di tipo EPROM, EEPROM o flash hanno anche un ulteriore  
5 terminale flottante ("floating gate"), interposto fra il substrato e il terminale di controllo e realizzato anch'esso in polisilicio: in questo caso, quindi, occorre deporre e definire due strati di polisilicio e i delimitatori possono essere formati indifferentemente  
10 durante la realizzazione dei terminali di controllo o dei terminali flottanti. Per quanto riguarda invece gli spacers, essi vengono normalmente realizzati prima di eseguire un'impiantazione ionica pesante per formare regioni ad elevato drogaggio e per separare le regioni  
15 siliciurizzate di area attiva e di polisilicio; ad esempio, gli spacers sono comunemente impiegati nella fabbricazione di transistori. Il procedimento può comunque essere impiegato nella fabbricazione di dispositivi diversi dalle memorie.

20 Le operazioni previste dal presente procedimento per proteggere i resistori dalla siliciurazione sono condivise con procedimenti per la fabbricazione di altri dispositivi integrati nella stessa fetta semiconduttrice, vengono eseguite contestualmente e non  
25 comportano perciò alcun aggravio né dal punto di vista

~~della complessità, né dal punto di vista del costo.~~

Rispetto ai procedimenti tradizionali, quindi, il procedimento secondo l'invenzione è maggiormente compatibile con procedimenti per la fabbricazione di  
5 altri dispositivi integrati ed è più semplice ed economico.

Risulta infine evidente che al descritto possono essere apportate modifiche e varianti, senza uscire dall'ambito della presente invenzione.

10 In particolare, mediante il procedimento descritto si possono realizzare anche resistori duali rispetto a quanto mostrato: ad esempio, in un substrato di tipo N possono essere realizzati resistori di tipo P. Inoltre, è possibile realizzare resistori di forma diversa da  
15 quanto mostrato, ad esempio resistori a serpentina. In questo caso, ovviamente, anche i delimitatori saranno diversi da quelli precedentemente illustrati; in particolare, per realizzare resistori a serpentina i delimitatori potrebbero avere in pianta forma a pettine  
20 con denti interdigitati. Lo strato dielettrico deposto per realizzare gli spacers deve comunque avere spessore superiore alla metà della distanza fra i tratti dei delimitatori reciprocamente affacciati.

I delimitatori, gli spacers e lo strato metallico  
25 potrebbero poi essere realizzati in materiali

diversi da quelli precedentemente indicati. In particolare, qualora il processo preveda la deposizione di uno strato di materiale opportuno, avente le necessarie caratteristiche di compatibilità con  
5 l'attacco degli spacer (ad esempio nitruro di silicio nel caso di spaziatori di ossido di silicio o viceversa), i delimitatori potrebbero essere realizzati utilizzando tale strato; inoltre lo strato metallico potrebbe essere di cobalto o nichel e gli spacers  
10 possono essere di un qualsiasi materiale che non reagisca con lo strato metallico durante la fase di siliciurizzazione.

## RIVENDICAZIONI

1. Procedimento per la fabbricazione di elementi resistivi integrati con protezione dalla siliciurizzazione, comprendente le fasi di

5       - in una fetta semiconduttrice (10), delimitare almeno un'area attiva (15); e

      - formare in detta area attiva (15) almeno una regione resistiva (21), avente resistività prefissata;

10       caratterizzato dal fatto di comprendere le fasi di:

      - formare, al di sopra di detta area attiva (15), una struttura di delimitazione (20) di detta regione resistiva (21); e

15       - realizzare elementi protettivi (25) estendentisi all'interno di detta struttura di delimitazione (20) e ricoprenti detta regione resistiva (21).

2. Procedimento secondo la rivendicazione 1, caratterizzato dal fatto che detta fase di formare detta struttura di delimitazione comprende realizzare  
20 delimitatori (20) aventi tratti (20a) reciprocamente affacciati.

3. Procedimento secondo la rivendicazione 2, caratterizzato dal fatto che detta fase di formare detta regione resistiva comprende impiantare una specie

drogante in detta era attiva (15) fra detti delimitatori (20).

4. Procedimento secondo la rivendicazione 2 o 3, caratterizzato dal fatto che detta fase di realizzare  
5 elementi protettivi comprende le fasi di:

- deporre uno strato dielettrico (24), ricoprente detta struttura di delimitazione (20) e detta regione resistiva (21);

- attaccare anisotropicamente detto strato  
10 dielettrico (24).

5. Procedimento secondo la rivendicazione 4, caratterizzato dal fatto che durante detta fase di attaccare anisotropicamente detto strato dielettrico (24) viene asportato completamente al di sopra di detta  
15 struttura di delimitazione (20) e parzialmente al di sopra di detta regione resistiva (21).

6. Procedimento secondo la rivendicazione 4 o 5, caratterizzato dal fatto che detto strato dielettrico ha uno spessore (S) pari ad almeno la metà di una  
20 distanza (L) fra detti delimitatori (20).

7. Procedimento secondo la rivendicazione 6, caratterizzato dal fatto che detti delimitatori (20) hanno un'altezza (H) pari a circa metà di detta distanza (L).

8. Procedimento secondo una qualsiasi delle  
rivendicazioni 4-7, caratterizzato dal fatto che detto  
strato dielettrico è di un materiale scelto nel gruppo  
composto da: ossido di silicio, nitruro di silicio,  
5 ossinitruro di silicio.

9. Procedimento secondo una qualsiasi delle  
rivendicazioni precedenti, caratterizzato dal fatto che  
detta struttura di delimitazione è di polisilicio.

10. Procedimento secondo una qualsiasi delle  
10 rivendicazioni precedenti, caratterizzato dal fatto  
che detta fase di formare detta struttura di  
delimitazione (20) precede detta fase di formare detta  
regione resistiva (21).

11. Fetta semiconduttrice comprendente almeno  
15 un'area attiva (15) e almeno un resistore (21, 28)  
avente una regione resistiva (21) realizzata  
all'interno di detta area attiva (15), caratterizzata  
dal fatto di comprendere una struttura di delimitazione  
(20) di detta regione resistiva (21) posta al di sopra  
20 di detta area attiva (15).

12. Fetta secondo la rivendicazione 11,  
caratterizzata dal fatto che detta struttura di  
delimitazione (20) è di un materiale impiegato  
nell'industria dei semiconduttori.

13. Fetta secondo la rivendicazione 12, caratterizzata dal fatto che detta struttura di delimitazione (20) è realizzata in un materiale scelto fra dielettrico, semiconduttore e metallo.

5 14. Fetta secondo la rivendicazione 12, caratterizzata dal fatto che detta struttura di delimitazione (20) è di polisilicio.

15 15. Fetta secondo una qualsiasi delle rivendicazioni 11-14, caratterizzata dal fatto di comprendere elementi protettivi (25) estendentisi all'interno di detta struttura di delimitazione (20) e ricoprenti detta regione resistiva (21).

15 16. Fetta secondo la rivendicazione 15, caratterizzata dal fatto che detti elementi protettivi (25) sono di un materiale dielettrico.



RIASSUNTO

Procedimento per la fabbricazione di elementi resistivi integrati con protezione dalla siliciurizzazione, prevede le fasi di: in una fetta 5 semiconduttrice (10), delimitare almeno un'area attiva (15); e formare, nell'area attiva (15), almeno una regione resistiva (21), avente resistività prefissata. Prima di formare la regione resistiva (21), sopra 10 l'area attiva (15) viene realizzata una struttura di delimitazione (20) della regione resistiva (21) e, in seguito, vengono realizzati elementi protettivi (25) estendentisi all'interno della struttura di delimitazione (20) e ricoprenti la regione resistiva 15 (21).

Fig. 1



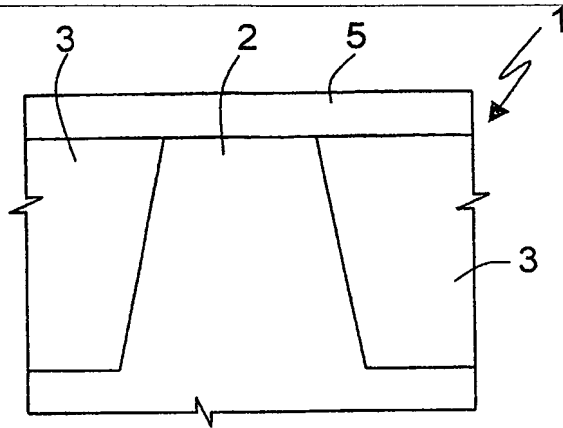


Fig. 1

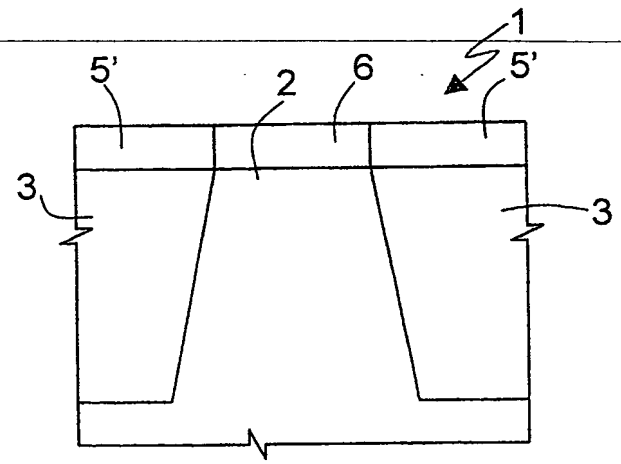


Fig. 2

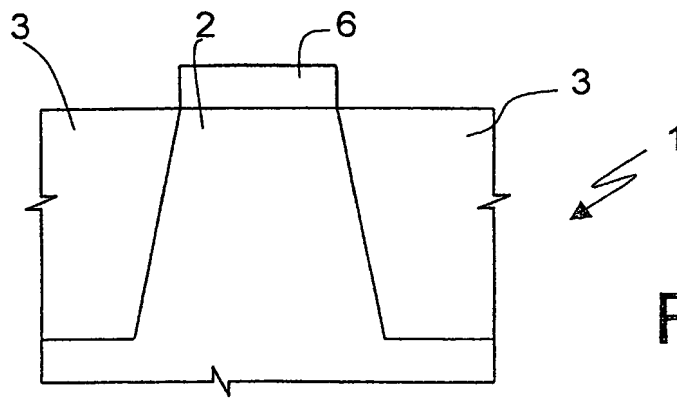


Fig. 3

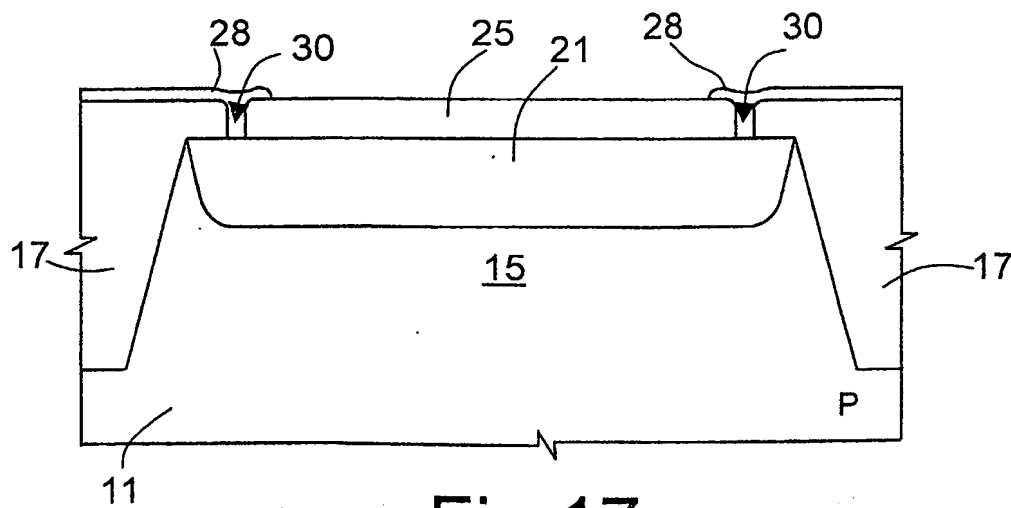


Fig. 17

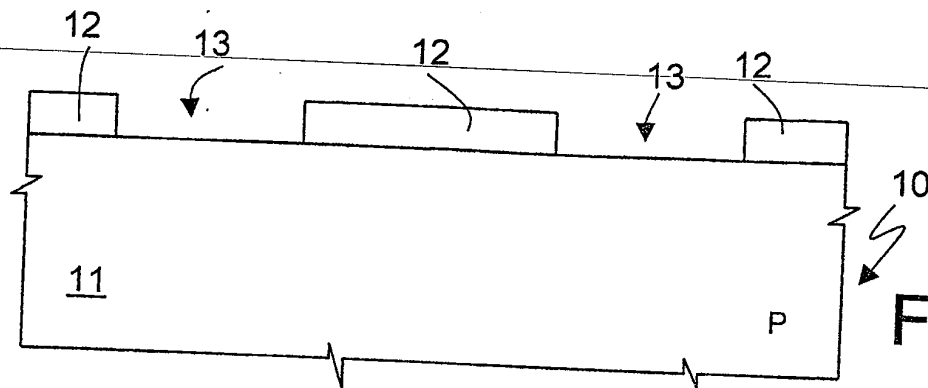


Fig. 4

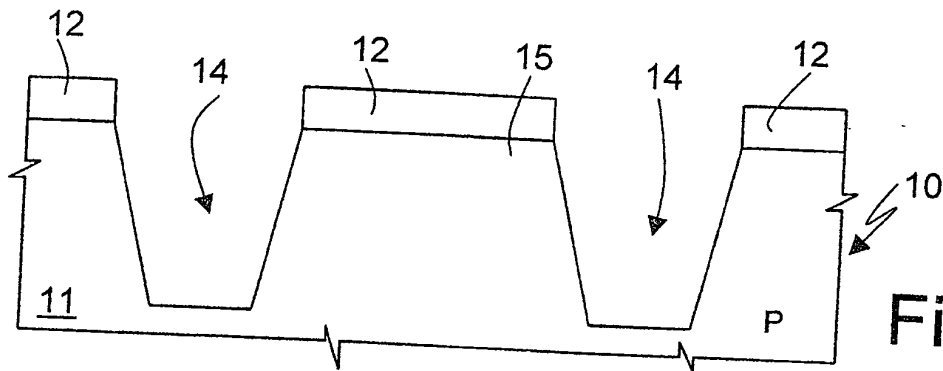


Fig. 5

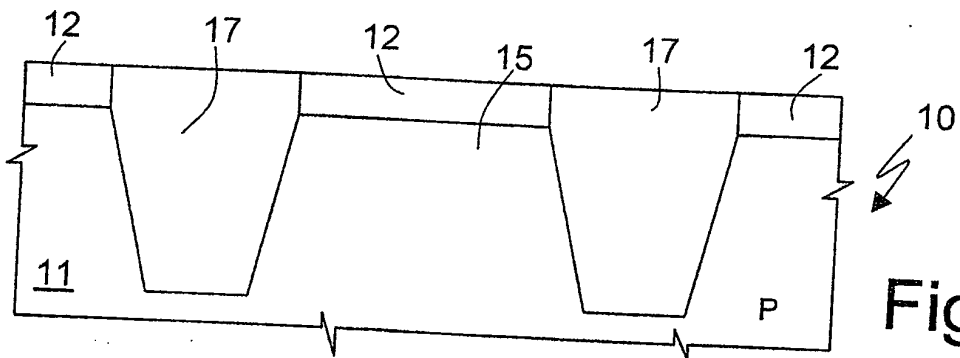


Fig. 6

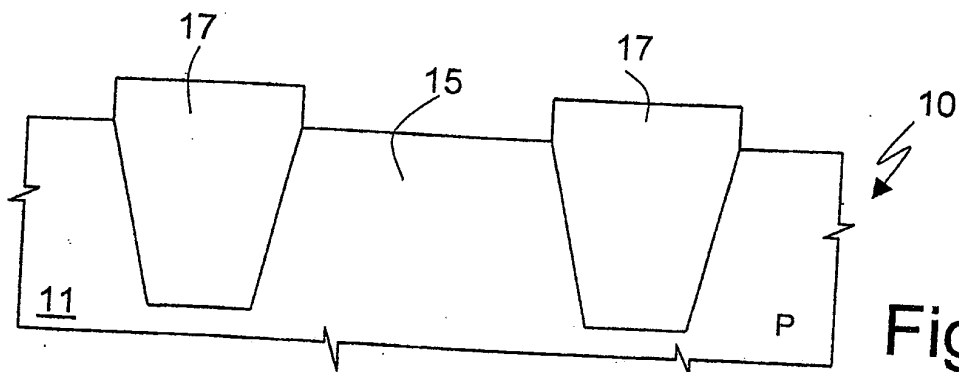


Fig. 7

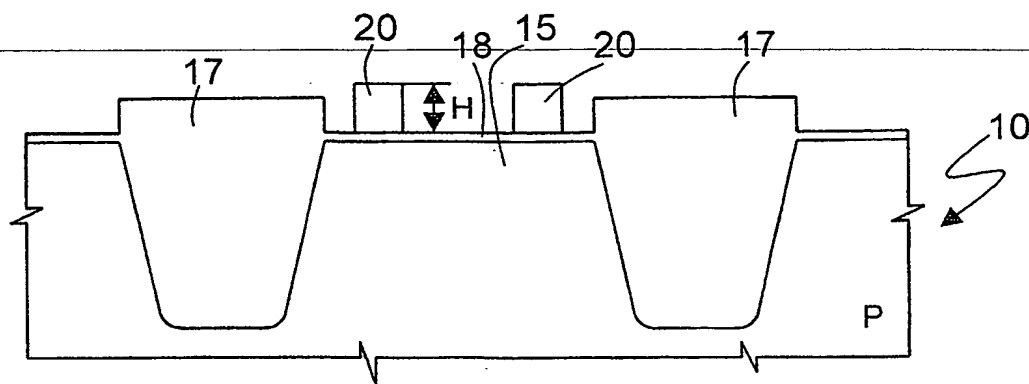


Fig. 8

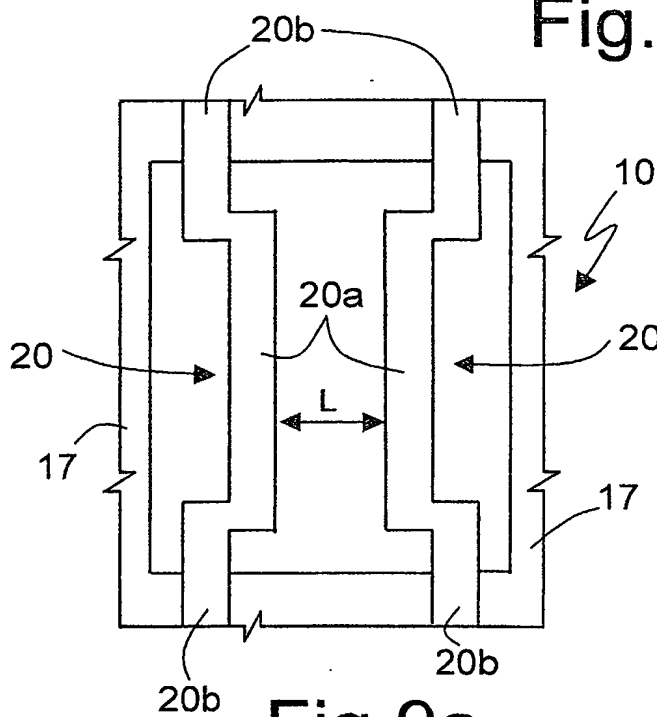


Fig. 9a

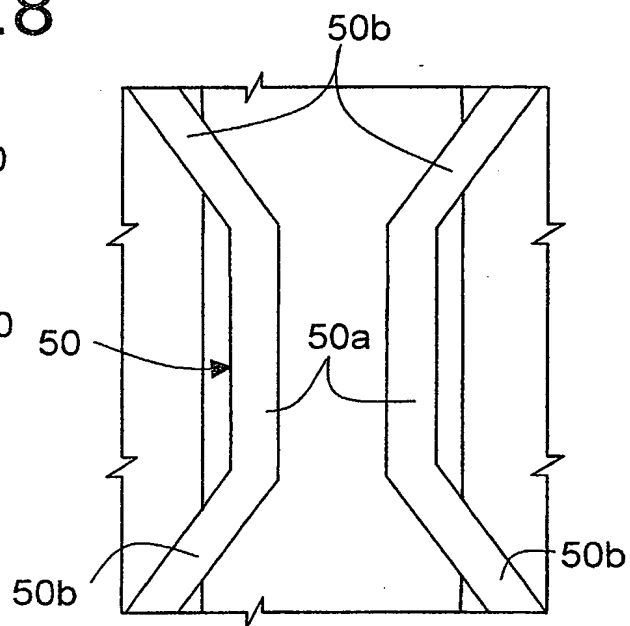


Fig. 9b

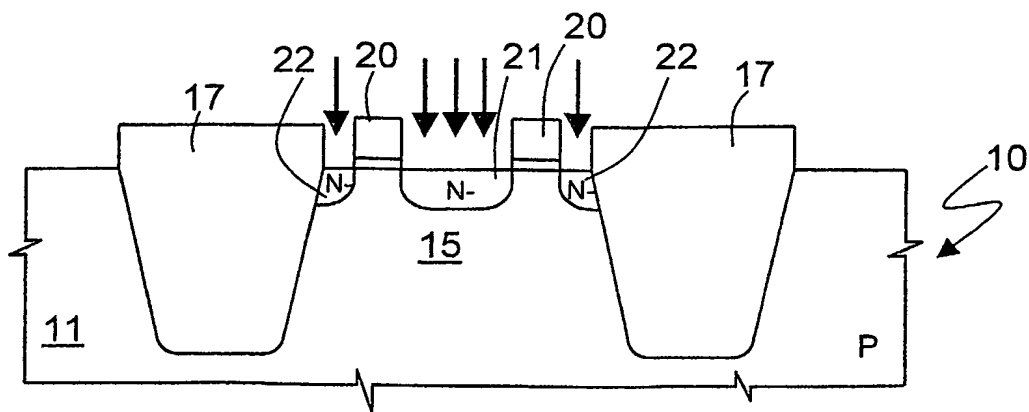


Fig. 10

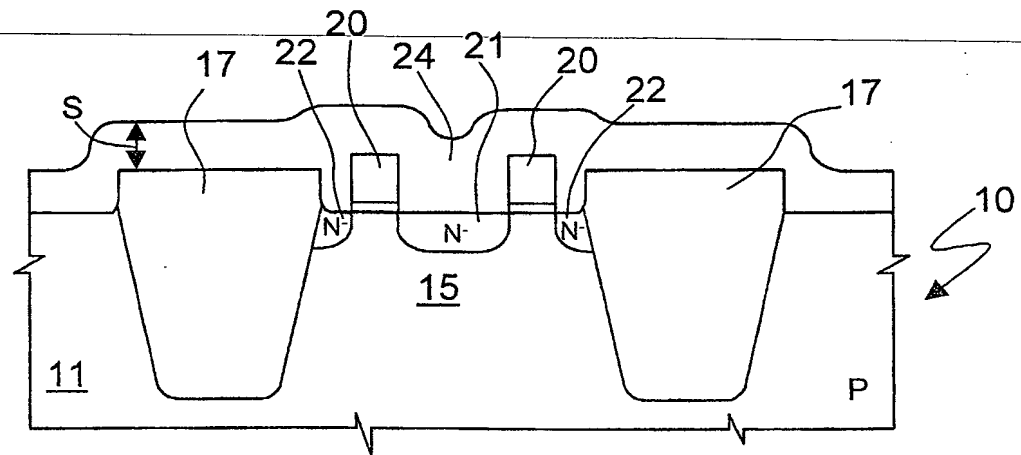


Fig.11

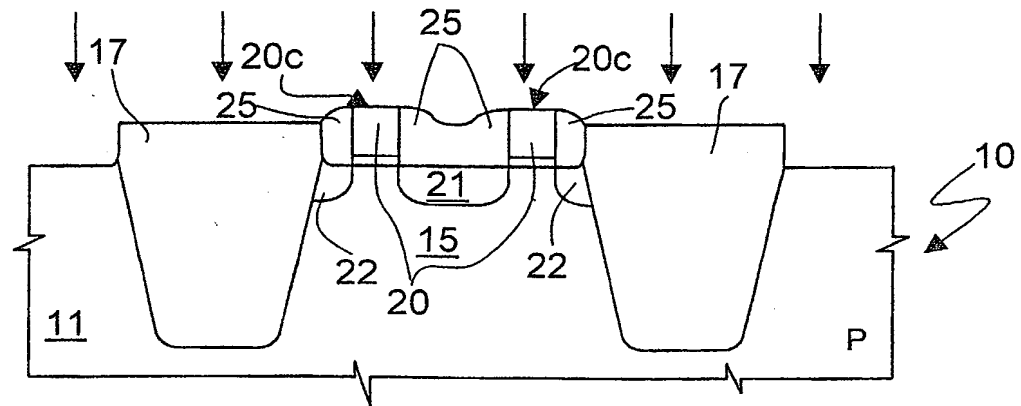


Fig.12

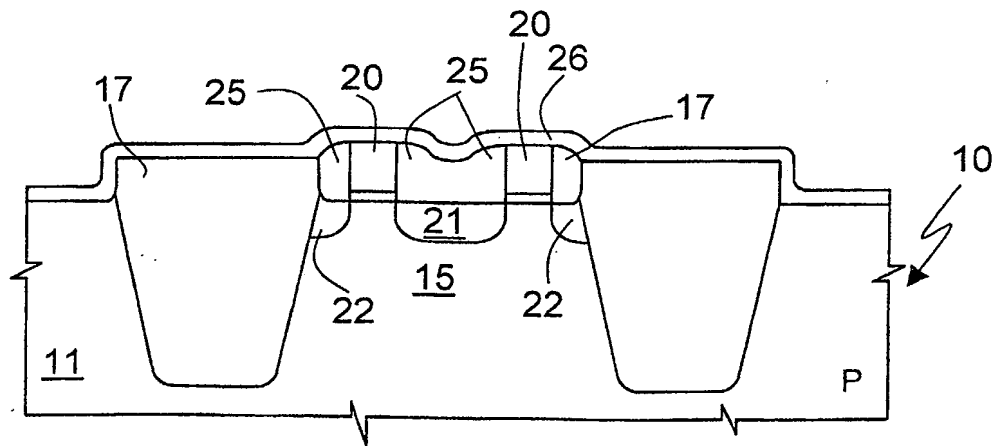


Fig.13

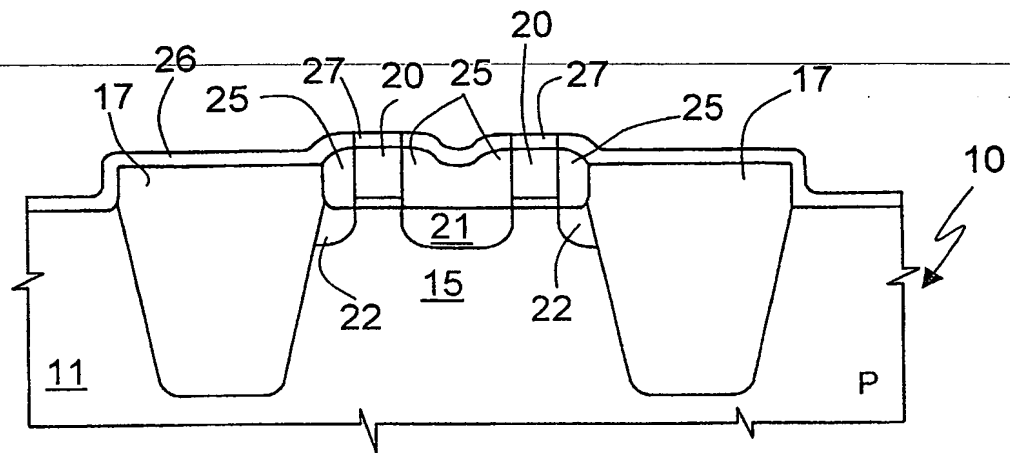


Fig.14

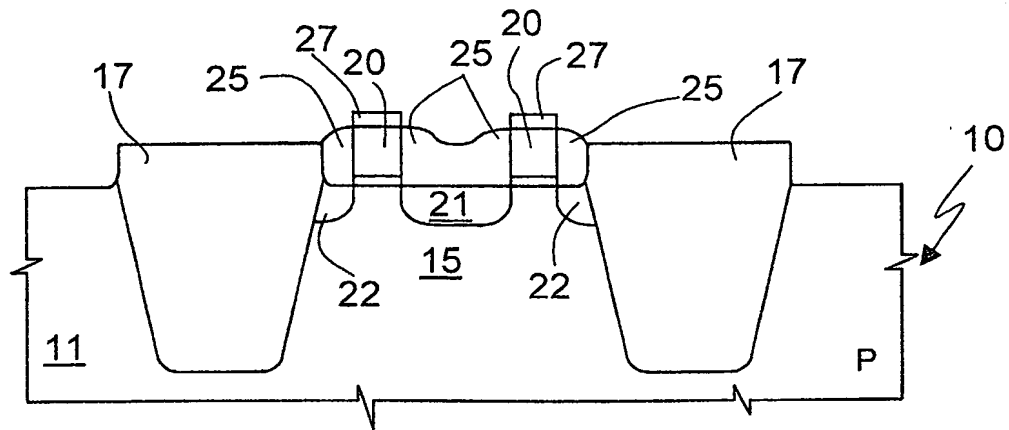


Fig.15

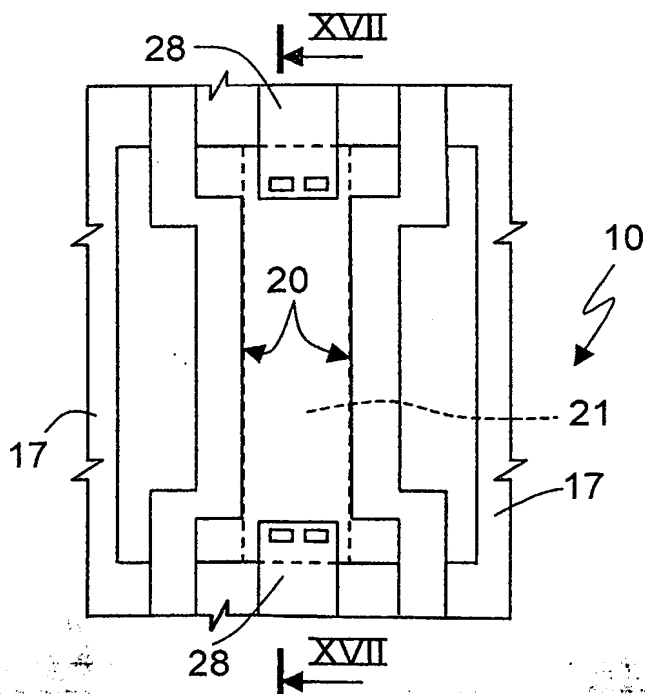


Fig.16





US 1065754606P1



Creation date: 03-17-2004  
Indexing Officer: AKIDANE1 - AZIEB KIDANE  
Team: OIPEBackFileIndexing  
Dossier: 10657546

Legal Date: 03-08-2004

No.	Doccode	Number of pages
1	FRPR	28

Total number of pages: 28

Remarks:

Order of re-scan issued on .....

